

⑫ 公開特許公報(A) 平1-258471

⑤Int.Cl.

識別記号

庁内整理番号

⑬公開 平成1年(1989)10月16日

H 01 L 29/78

3 0 1

P-8422-5F

審査請求 未請求 請求項の数 2 (全4頁)

⑭発明の名称 MOS型半導体装置の製造方法

⑮特 願 昭63-86899

⑯出 願 昭63(1988)4月8日

⑰発明者 岸 本 幹 夫 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑱発明者 柁 谷 敦 宏 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑲出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
 ⑳代 理 人 弁理士 森本 義弘

明 細 書

1. 発明の名称

MOS型半導体装置の製造方法

2. 特許請求の範囲

1. MOS型半導体装置のポリシリコン膜からなるゲート電極の表面部を耐酸化性被膜で覆った後、熱酸化を行うMOS型半導体装置の製造方法。

2. ゲート電極の表面部を耐酸化性被膜で覆う工程として、ポリシリコン膜上に耐酸化性被膜を成長させる工程と、前記耐酸化性被膜およびポリシリコン膜を所定のゲート電極パターンに形成する工程と、前記耐酸化性被膜上にさらに耐酸化性被膜を形成したのち上記耐酸化性被膜を所望形状にエッチングする工程とを備えた請求項1記載のMOS型半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、MOS型半導体装置の製造方法に関

するものである。

従来の技術

近年、低消費電力の要求からMOS型半導体装置が多く利用されるようになってきた。一方、集積回路の集積度が増加するにつれて半導体装置の寸法を小さくすることが求められているが、MOS型半導体装置のゲート長を短かくしていくと、いわゆるショートチャネル効果が生じ、半導体装置のしきい値電圧が著しく低下することが知られており、ゲート電極の寸法制御が重要となってきた。

以下に従来のMOS型半導体装置の製造方法について説明する。第2図(a),(b)は従来のMOS型半導体装置の製造方法の一部分の工程断面図であり、11はシリコン基板、12は素子分離領域、13は拡散層、14はゲート酸化膜、15はポリシリコン膜、17はレジスト膜、18は酸化されたポリシリコン膜である。

まず、シリコン基板11に既知の技術にて厚い酸化膜の素子分離領域12を形成する。次にシリコン

基板11の中にイオン注入を行い、しきい値電圧を設定する拡散層13を形成する。この後、ゲート酸化膜14を成長させ、その上にゲート電極となるポリシリコン膜15を成長させる。ついで、ポリシリコン膜15にリンを高濃度に気相拡散し低抵抗膜とする。さらに、リンガラス化したポリシリコン膜を選択除去後、光露光技術、電子ビーム露光技術、X線露光技術、あるいはイオンビーム露光技術を用いてレジスト膜17を所望のレジストパターンに形成し、このレジストパターンをマスクとして、ポリシリコン膜15をドライエッチにより選択除去しゲート電極とする。このときの状態は第2図(a)に示される。次に、レジスト膜17を除去し、第2図(b)に示すように、素子分離領域12のエッジ部の段差部などで除去しきれなかったポリシリコン膜15のエッチ残渣がポリシリコン同層間の電気的短絡の原因とならぬように、熱酸化法を用いてポリシリコン膜15のエッチ残渣を酸化し、絶縁物とする。このとき同時にポリシリコンからなるゲート電極の側壁および表面も酸化される。さら

に、このときに酸化がゲート電極部のゲート酸化膜14へ侵食し、ポリシリコン膜15が持ち上げられて、ゲート電極の両端19でゲート酸化膜厚が増加するゲートバースピークと呼ばれる形状となり実効的なチャンネル長の減少が発生することがある。本発明が解決しようとする課題

しかしながら上記の従来の製造方法では、ポリシリコン膜15からなるゲート電極の表面が酸化され絶縁物となるため、導電性を有した実効的なゲート電極の寸法が細くなり、さらには、ゲートバースピーク形状となることで、MOS型半導体装置のチャンネル長が変化する。特に、ポリシリコン膜15が酸化により薄くなるためゲート電極の電気抵抗値が増加する問題があった。そのため、酸化を高い精度で制御する必要が生じるが、リンを高濃度に拡散されたポリシリコン膜15は、増速酸化現象でシリコン基板11に比べて酸化速度が著しく速いため、工程が複雑になり、制御精度が良くなわれたときには、MOS型半導体装置の特性にばらつきが生じることになる。

本発明は上記した従来の問題点を解決するものでMOS型半導体装置のゲート電極の寸法を変えることなく、ポリシリコンのエッチ残渣を酸化することのできるMOS型半導体装置の製造方法を提供することを目的とするものである。

課題を解決するための手段

上記問題点を解決するため、本発明のMOS型半導体装置の製造方法は、ポリシリコン膜の酸化工程前に、耐酸化性被膜でポリシリコン膜からなるゲート電極の表面部を覆う処理を施すものである。

さらに、本発明は、ゲート電極の表面部を耐酸化性被膜で覆う工程として、ポリシリコン膜上に耐酸化性被膜を成長させる工程と、前記耐酸化性被膜およびポリシリコン膜を所定のゲート電極パターンに形成する工程と、前記耐酸化性被膜上にさらに耐酸化性被膜を形成したのち上記耐酸化性被膜を所望形状にエッチングする工程を備えたものである。

作用

上記構成によれば、ポリシリコンからなるゲート電極の表面部を耐酸化性被膜で覆うことで、ゲート電極の表面部が酸化されず、ゲート寸法が酸化により減少することなく、ポリシリコン膜のエッチ残渣を酸化することができる。

実施例

以下本発明の一実施例について図面を参照しながら説明する。

第1図(a)～(d)は、本発明の一実施例におけるMOS型半導体装置の製造方法の一部分の工程断面図を示す。第1図において、1はシリコン基板、2は素子分離領域、3は拡散層、4はゲート酸化膜、5はポリシリコン膜、6は耐酸化性被膜、としての窒化シリコン膜7はレジスト膜である。

まず、シリコン基板1に既知の技術にて厚い酸化膜の素子分離領域2を形成する。次に、シリコン基板1の中にイオン注入を行い、しきい値電圧を設定する拡散層3を形成する。この後、ゲート酸化膜4を成長させ、その上にゲート電極となるポリシリコン膜5を成長させる。ついで、ポリシ

リコン膜5にリンを高濃度に気相拡散し低抵抗膜とする。ついで、リンガラス化したポリシリコン膜を選択除去した後、窒化シリコン膜6を周知のCVD法にて厚さ $0.1\mu\text{m}$ に成長させる。さらに、光露光技術、電子ビーム露光技術、X線露光技術、あるいはイオンビーム露光技術を用いてレジスト膜7を所望のレジストパターンに形成し、このレジストパターンをマスクとして、窒化シリコン膜6とポリシリコン膜5をそれぞれドライエッチにより選択除去しゲート電極パターンとする。このときの状態は第1図(a)に示される。次に、レジスト膜7を除去し第1図(b)に示すように、CVD法により窒化シリコン膜6を厚さ $0.1\mu\text{m}$ に成長させる。次に、第1図(c)に示すように、窒化シリコン膜6を異方性エッチングし、ポリシリコン膜5からなるゲート電極の上面部および側壁部に窒化シリコン膜6を残す。さらに、第1図(d)において、素子分離領域2のエッジ部の段差部などで除去しきれなかったポリシリコン膜5のエッチ残渣がポリシリコン同層間の電気的短絡の原因

とならぬように、熱酸化法を用いてポリシリコン膜5のエッチ残渣を酸化し、絶縁物とする。以降は公知の技術にて、MOS型半導体装置を形成することができる。

なお、本実施例では、ポリシリコン膜からなるゲート電極の表面部を覆う耐酸化性被膜として、窒化シリコンを用いたが、炭化シリコン、酸化アルミ等の耐酸化性を有する被膜であれば有効であることは言うまでもない。

このように本実施例によれば、ポリシリコンからなるゲート電極の表面部および側壁部を耐酸化性被膜で覆うことで、ゲート電極の表面部が酸化されず、MOS型半導体装置のゲート電極の電気抵抗値を変えないことなく、さらにゲートバースビーク形状となることがないので、ゲート長が減少するようなことはなく、エッチ残渣を酸化して絶縁物とすることができる。

発明の効果

以上本発明のMOS型半導体装置の製造方法によれば、ポリシリコン膜からなるゲート電極の表

面部を酸化することなく、ポリシリコン膜のエッチ残渣を酸化することができ、ゲート電極の電気抵抗値が変わらない製造方法を提供することができ、特に、高集積度回路の超微細半導体装置の形成などにおいて優れている。

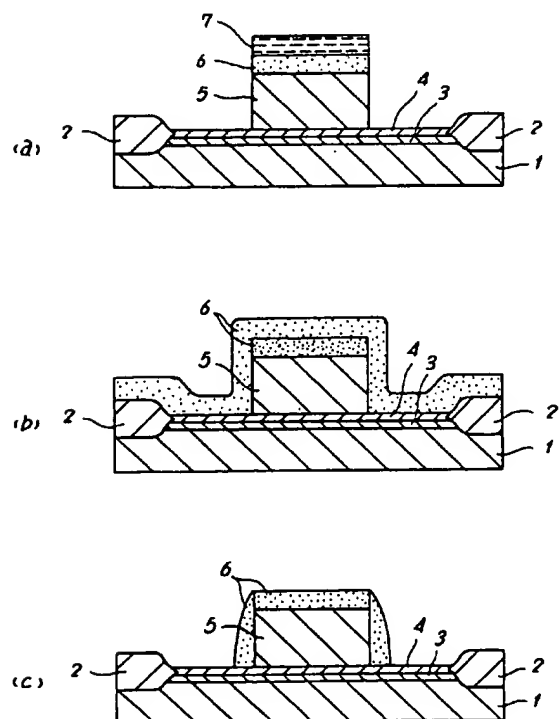
4. 図面の簡単な説明

第1図(a)～(d)は本発明の一実施例におけるMOS型半導体装置の製造方法の工程を説明する断面図、第2図(a)(b)は従来のMOS型半導体装置の製造方法の工程を説明する断面図である。

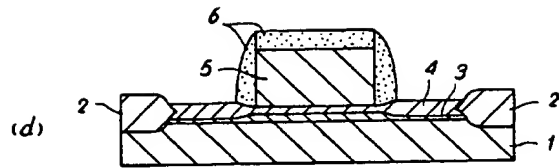
1…シリコン基板、2…素子分離領域、3…拡散層、4…ゲート酸化膜、5…ポリシリコン膜、6…窒化シリコン膜(耐酸化性被膜)、7…レジスト膜。

代理人 森 本 義 弘

第1図 等1

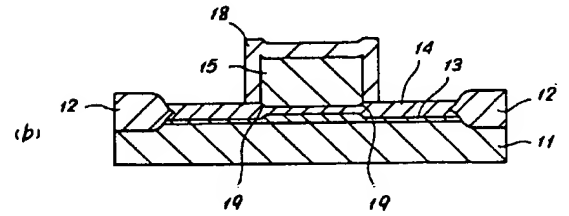
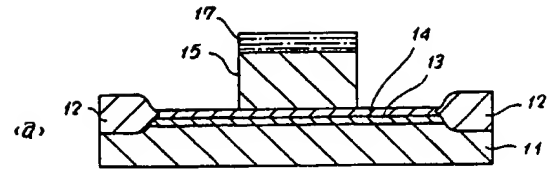


第1図 402



- | | |
|------------|--------------------------|
| 1...シリコン基板 | 5...ポリシリコン膜 |
| 2...素子分離領域 | 6...窒化シリコン膜
(シリサイド被膜) |
| 3...拡散層 | 7...レジスト膜 |
| 4...ゲート酸化膜 | |

第2図



PAT-NO: JP401258471A

DOCUMENT-IDENTIFIER: JP 01258471 A

TITLE: MANUFACTURE OF MOS TYPE SEMICONDUCTOR DEVICE

PUBN-DATE: October 16, 1989

INVENTOR-INFORMATION:

NAME

KISHIMOTO, MIKIO

KAJITANI, ATSUHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRON CORP

N/A

APPL-NO: JP63086899

APPL-DATE: April 8, 1988

INT-CL (IPC): H01L029/78

US-CL-CURRENT: 438/400, 438/763 , 438/FOR.221

ABSTRACT:

PURPOSE: To enable an etching residue of a polysilicon to be oxidized without making the surface of a gate electrode formed of a polysilicon film oxidized by a method wherein a treatment, where the surface of the gate electrode is covered with an oxidation resistant coating, is performed before an oxidizing process of the polysilicon film is executed.

CONSTITUTION: An element isolating region 2 of a thick polysilicon film is formed on a silicon substrate 1, and a diffusion layer 3 is formed through an

ion implantation. Then, a gate oxide film 4, a polysilicon film 5, a silicon nitride film 6, and a resist film 7 are formed. The silicon nitride film 6 and the polysilicon film 5 are selectively removed to form a gate electrode pattern. Next, the resist film 7 is removed and the silicon nitride film 6 is made to grow, which is subjected to an anisotropic etching so as to leave the silicon nitride film 6 on the upper face and the side wall of a gate electrode formed of the polysilicon film 5 unremoved. Next, an etching residue of the polysilicon film 5 on the step of a ridge or the like of the element isolating region 2 left unremoved after the etching is made to be an insulator by oxidizing through a thermal oxidation method so as to prevent the residue from causing a short circuit between the polysilicon layers.

COPYRIGHT: (C)1989,JPO&Japio